

明 細 書

トランジスタおよびそのゲート絶縁膜の成膜に用いるCVD装置

技術分野

- [0001] 本発明は、トランジスタの改良に関し、特に比較的高い温度の下で長時間に亘って連続駆動される場合の信頼性を改善する対策に関する。

背景技術

- [0002] 一般に、ソース電極およびドレイン電極と、ゲート電極と、これらソース・ドレイン電極およびゲート電極間に配置された半導体膜およびゲート絶縁膜とを少なくとも備える電界効果型トランジスタにおいて、前記ゲート絶縁膜として、CVD法 (Chemical Vapor Deposition) などにより成膜されたアモルファスシリコン窒化膜を備えるようにしたものは、優れたオン電流特性／オフ電流特性を有することから、近年では、液晶表示装置などのスイッチング素子としても使用されている。
- [0003] ところで、CVD装置を用いてゲート絶縁膜などの薄膜を成膜する場合には、CVD装置のメンテナンス性向上による稼働率向上を実現すべく、或る成膜サイクル毎に NF_3 、 CF_4 、 SF_6 などのクリーニングガスを用いてCVD装置の成膜室内部をクリーニングすることが行われる。その際に、クリーニングガスの一成分であるフッ素が成膜室内に残留し、成膜される膜中に取り込まれると、トランジスタ特性を著しく低下させるという難点がある。
- [0004] これに対し、特許文献1には、前記半導体膜の含有フッ素濃度を、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下に抑えることが記載されている。また、フッ素濃度を抑える手段としては、成膜室内のクリーニング後に、水素プラズマを発生させることで、残留フッ素を除去するようにすることが記載されている。そして、半導体膜の含有フッ素濃度を抑えるようにすることで、基板温度が $25.0 \pm 3.0^\circ\text{C}$ の条件下で10分間に亘って動作させたときの閾値電圧のシフト量の増大を抑えてトランジスタの信頼性を改善することができる。とされている。
- [0005] 尚、トランジスタを構成する半導体膜やゲート絶縁膜などの薄膜以外の薄膜中のフッ素濃度を低減するようにしたものとして、例えば、特許文献2に記載されているよう

に、トランジスタと絶縁基板との間に絶縁基板保護膜としてのシリコン酸化膜が配置される場合に、プラズマCVD法により成膜した α -Si膜に加熱したガスを吹き付けてシリコン酸化膜に酸化させるようにすることで、前記シリコン酸化膜中のフッ素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下に抑えるようにしたものもある。

特許文献1:特開2002-329869号公報(第2頁, 図1)

特許文献2:特開2003-124469号公報(第2頁, 図1)

発明の開示

発明が解決しようとする課題

[0006] しかしながら、上記特許文献1のものでは、25℃程度という比較的低い温度の下で、しかも10分間という短期駆動時の評価であることから、液晶表示装置の画素電極部に対するスイッチング素子としてのトランジスタのように、比較的高い温度(例えば、80℃程度)の下で長時間(数時間から数十時間のオーダー)に亘って連続的に駆動される場合においても優れた信頼性を示すことができるか否かは不明である。

[0007] また、水素プラズマ処理により成膜室内の残留フッ素を除去するという方法では、その処理条件によっては、十分な効果が得られない場合があり、したがって、成膜室内の良好な特性を安定して維持することが難しい。

[0008] 本発明は、斯かる諸点に鑑みてなされたものであり、その主な目的は、トランジスタを構成する薄膜中の含有フッ素に起因する特性低下を抑えるようにしたトランジスタにおいて、比較的高い温度の下で長時間に亘って駆動される場合でも、優れた信頼性が得られるようにすることにある。

課題を解決するための手段

[0009] 上記の目的を達成すべく、本発明は、トランジスタのゲート絶縁膜に着目し、このゲート絶縁膜の含有フッ素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、さらに望ましくは、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下に抑えるようにするものである。

[0010] また、ゲート絶縁膜がCVD装置を用いて成膜される場合に、上記のように含有フッ素濃度の低減を実現する具体的な手段としては、CVD装置の成膜室において、電極表面を非多孔質層とするものである。

[0011] これにより、半導体膜と接するゲート絶縁膜界面でのフッ素によるキャリアトラップが減少してトランジスタのオン電流特性が改善するとともに、ゲート絶縁膜中のフッ素イオンが減少してトランジスタの閾値特性が改善されるのみならず、比較的高い温度の下で長時間に亘って駆動される場合であっても、優れた信頼性が得られるようになる。

[0012] また、CVD装置を用いてゲート絶縁膜を成膜する場合には、その成膜室内の電極表面の多孔質層(例えば、陽極酸化保護膜処理により形成される)にフッ素が残留するという根本原因を除くことができるので、水素プラズマにより残留フッ素の除去処理を行うようにする場合に比べると、処理条件のばらつきによりフッ素除去が不足することに起因するトランジスタ不良の発生という歩留まりの低下が抑えられる。

[0013] 尚、上記の構成において、前記トランジスタとしては、電界効果型のものであることが望ましい。また、前記ゲート絶縁膜としては、アモルファスシリコン窒化膜であることが望ましい。また、前記ゲート絶縁膜は、CVD法により成膜されたものであることが望ましい。さらに、前記のトランジスタは、液晶表示装置における画素電極部に対するスイッチング素子としての使用に好適である。

発明の効果

[0014] 本発明によれば、トランジスタのゲート絶縁膜中の含有フッ素濃度を、 1×10^{20} atoms/cm³ 以下、さらに望ましくは 1×10^{19} atoms/cm³ 以下にすることで、優れた初期特性を得ることができるのみならず、液晶表示装置などのように比較的高い温度下で長時間に亘って連続的に駆動される場合でも、信頼性を改善することができる。

図面の簡単な説明

[0015] [図1]図1は、本発明の実施形態に係る電界効果型薄膜トランジスタの全体構成を模式的に示す断面図である。

[図2]図2は、ゲート絶縁膜の成膜に用いたCVD装置の全体構成を示す模式図である。

[図3]図3は、CVD装置の成膜室内の陽極表面の構成を模式的に示す断面図である。

[図4]図4は、従来のCVD装置の成膜室内の陽極表面の構成を模式的に示す図3

相当図である。

[図5]図5は、ゲート絶縁膜中の含有フッ素濃度とトランジスタの閾値電圧との間の関係を示す特性図である。

[図6]図6は、ゲート絶縁膜中の含有フッ素濃度とトランジスタのオン電流特性との間の関係を示す特性図である。

符号の説明

- [0016] (2) ゲート電極
- (3) ゲート絶縁膜
- (4) アモルファスシリコン半導体膜(半導体膜)
- (5) n+アモルファスシリコン半導体膜(半導体膜)
- (6) ソース電極
- (7) ドレイン電極
- (50) 成膜室
- (51) ガス供給孔
- (52) 陽極(電極)
- (70) アルミニウム層(非多孔質層)

発明を実施するための最良の形態

- [0017] 以下に、本発明の実施形態を、図面に基づいて説明する。尚、本発明は以下の実施形態に限定されるものではなく、必要に応じて適宜設計することができる。
- [0018] 図1は、本実施形態に係る電界効果型薄膜トランジスタの断面を模式的に示しており、このトランジスタは、例えば、液晶表示装置において、画素電極部に対するスイッチング素子として使用される。
- [0019] 上記のトランジスタは、例えばガラスなどからなる絶縁基板(1)を備えており、この基板(1)上には、Ta, Al, Moなどからなるゲート電極(2)が形成されている。このゲート電極(2)上には、例えばアモルファスシリコン窒化膜からなるゲート絶縁膜(3)が基板(1)の略全面に亘って例えば4000 Åの膜厚に形成されている。ゲート絶縁膜(3)上には、ゲート電極(2)に対応する部分を中心にして、半導体膜としてのアモルファスシリコン半導体膜(4)が例えば2000 Åの膜厚に形成されており、このアモルファス

シリコン半導体膜(4)上には、各々、リンをドーピングしてなっていて前記アモルファスシリコン半導体膜(4)とは別の半導体膜としてのn+アモルファスシリコン半導体膜(5)がゲート電極(2)を間に挟む2箇所の領域に対をなすようにそれぞれ例えば500 Åの膜厚に形成されている。そして、各n+アモルファスシリコン半導体膜(5)およびそれに連なるゲート絶縁膜(3)の部分の上には、それぞれ、Ti, Mo, Alなどからなるソース電極(6)およびドレイン電極(7)が形成されている。

[0020] 次に、上記のように構成されたトランジスタの製造工程について説明すると、まず、基板(1)上に、ゲート電極(2)を成膜・パターニング形成する。次いで、平行平板方式のプラズマCVD装置を用い、その成膜室を、 NF_3 ガスによりクリーニングした後、ゲート絶縁膜(3)を成膜する。その後、アモルファスシリコン半導体膜(4)を得るための第1の半導体膜と、n+アモルファスシリコン半導体膜(5)を得るための第2の半導体膜とをそれぞれ成膜する。その後、それら第1および第2の半導体膜からなる積層膜を島状にパターニングして、まず、アモルファスシリコン半導体膜(4)を形成する。

[0021] さらに、ゲート絶縁膜(3)の所定部分および前記積層膜の上に、ソース電極(6)およびドレイン電極(7)を成膜・パターニングする。そして、ソース電極(6)およびドレイン電極(7)のパターンを用いて前記第2の半導体膜を分離エッチングし、n+アモルファスシリコン半導体膜(5)を形成する。以上により、電界効果型薄膜トランジスタが完成する。

[0022] ここで、上記プラズマCVD装置の成膜室について、図2を参照しながら説明する。この成膜室(50)内には、多数のガス供給孔(51)を有するアルミニウム製の陽極(52)が配置されている。この陽極(52)の表面は、図3に拡大して模式的に示すように、従来の場合とは異なり、陽極酸化保護膜処理が施されていないくて、非多孔質層としてのアルミニウム層(70)が無垢の状態で露呈してなっている。

[0023] つまり、従来の場合には、図4に模式的に示すように、アルミニウム層(70)の表面に、陽極酸化保護膜処理によりアルマイトからなる陽極酸化保護膜(61)が形成されており、この陽極酸化保護膜(61)が多孔質であるために、その細孔内にフッ素が吸着されやすく、これが、クリーニング後の成膜室(51)内に多くのフッ素を残留させる原因となる。これに対し、本実施形態では、陽極(52)の表面をアルミニウム層(70)

からなるものとするので、つまり、アルミニウム層(70)の表面に従来のような陽極酸化保護膜(61)を形成しないことで、上記の根本原因を無くするようにしている。尚、非多孔質化の手段としては、アルミニウム層(70)の表面に、新たな非多孔質層を形成するようにしてもよい。

- [0024] 因みに、陽極(52)の表面が陽極酸化保護膜(61)からなる従来のCVD装置を用い、成膜室(50)内のクリーニングを行った後、高周波電源[RF電源]の出力が1000 W、ガスの流量が3L/min[但し、 1.013×10^5 Pa, 0℃]という条件で60秒間に亘って水素プラズマ処理を実施したところ、ゲート絶縁膜(3)中の含有フッ素濃度は、 3×10^{20} atoms/cm³であった。これに対し、本実施形態では、同じ条件の下で、 7×10^{18} 〜 1×10^{19} atoms/cm³の値が定常的に得られた。
- [0025] 尚、上記の実施形態では、半導体膜が、アモルファスシリコン半導体膜(4)およびn+アモルファスシリコン半導体膜(5)の2層である場合について説明しているが、本発明は、前記半導体膜が1層であるトランジスタにも適用することができる。
- [0026] また、上記の実施形態では、ゲート絶縁膜(3)がアモルファスシリコン窒化膜である場合について説明しているが、本発明は、ゲート絶縁膜(3)が、例えば、アモルファスシリコン酸化膜、アモルファス酸化アルミニウム膜など、アモルファスシリコン窒化膜以外のものであるトランジスタにも適用することができる。
- [0027] また、上記の実施形態では、CVD装置を用いてトランジスタのゲート絶縁膜(3)を成膜する際のゲート絶縁膜(3)中の含有フッ素濃度を低減すべく、成膜室(50)の陽極(52)の表面を非多孔質層からなるものとするようにしているが、含有フッ素濃度を低減する手段としては、特に限定されるものではなく、その他の手段を適宜採用することができる。
- [0028] また、上記の実施形態では、トランジスタのゲート絶縁膜(3)を成膜するのに、プラズマCVD法を用いる場合について説明しているが、本発明は、例えば、RFスパッタ、ECRスパッタ、反応性スパッタなどのスパッタリング法を用いる場合に適用することもできるし、また、CVD法の場合でも、熱CVD法や光CVD法など、プラズマCVD法以外の方法によりゲート絶縁膜(3)が成膜されるトランジスタにも適用することができる。

[0029] さらに、上記の実施形態では、液晶表示装置における画素電極部に対するスイッチング素子の用途に使用されるトランジスタの場合について説明しているが、本発明は、その他の用途に使用されるトランジスタにも適用することができる。

[0030] ー実験例ー

ここで、まず、トランジスタのゲート絶縁膜中の含有フッ素濃度〔単位： atoms/cm^3 〕と、閾値(V_{th} 〔単位：V〕)およびオン電流(I_{on} 〔単位：nA〕)との各初期特性を調べるために行った実験について説明する。尚、含有フッ素濃度については、シリコンウェハー上のゲート絶縁膜と同じ条件でアモルファスシリコン窒化膜を成膜し、このアモルファスシリコン窒化膜の含有フッ素濃度を2次イオン質量分析法(SIMS)により測定して定量するようにした。また、トランジスタとしては、チャネル幅 W とチャネル長 L との比 W/L が、 $W/L=4$ であるものを用いた。

[0031] 図5の特性図は、ゲート絶縁膜中の含有フッ素濃度とトランジスタの閾値電圧との間の初期特性を、また、図6の特性図は、ゲート絶縁膜中の含有フッ素濃度とトランジスタのオン電流特性との間の初期特性をそれぞれ示す。

[0032] 図示のとおり、含有フッ素濃度が $1 \times 10^{20} \text{atoms}/\text{cm}^3$ 以下、さらに望ましくは $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下であれば、トランジスタ初期特性が良好であることが判る。

[0033] 次に、ゲート絶縁膜中の含有フッ素濃度と、トランジスタの高温度下での長期駆動に対する信頼性との関係を調べるために行った実験について説明する。

[0034] 従来の場合(特許文献2参照)には、 $25.0 \pm 3.0^\circ\text{C}$ の環境において、ソース接地、ドレイン接地、ゲート直流電圧が30V、駆動時間が10分間の条件の下に信頼性の評価を実施しているが、例えば、電界効果型薄膜トランジスタを液晶表示装置に応用する場合には、さらに高温かつ長時間での動作保証が要求されることから、ここでは、 $80.0 \pm 3.0^\circ\text{C}$ の環境において、ソース・ドレイン電極が接地されている一方、ゲート直流電圧が15V、駆動時間が500時間である条件の下で信頼性の評価を行った。また、信頼性の判断指標としては、トランジスタの初期の閾値電圧から、信頼性評価試験後の閾値電圧を減算した値であるシフト量 ΔV_{th} 〔単位：V〕を評価するようにした。

[0035] その結果、含有フッ素濃度が $2.7 \times 10^{20} \text{atoms}/\text{cm}^3$ のものでは、シフト量 ΔV_{th}

が、 $\Delta V_{th}=5.0V$ であり、 $1.0 \times 10^{20} \text{ atoms/cm}^3$ のものでは、 $\Delta V_{th}=3.0V$ であった。これにより、ゲート絶縁膜中の含有フッ素濃度が低い程、高温かつ長時間の下での信頼性が向上するということも確認できた。

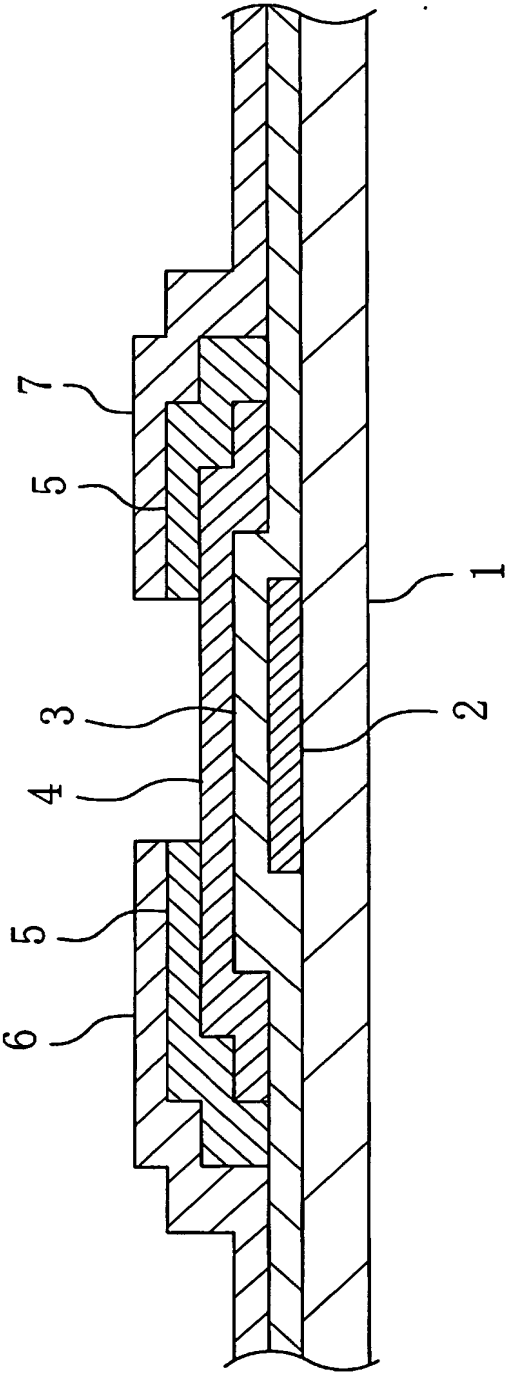
産業上の利用可能性

[0036] 本発明は、一般のトランジスタに利用可能であり、特に、液晶表示装置における画素電極部に対するスイッチング素子として使用されるような比較的高い温度下で長時間に亘って駆動されるトランジスタに好適である。

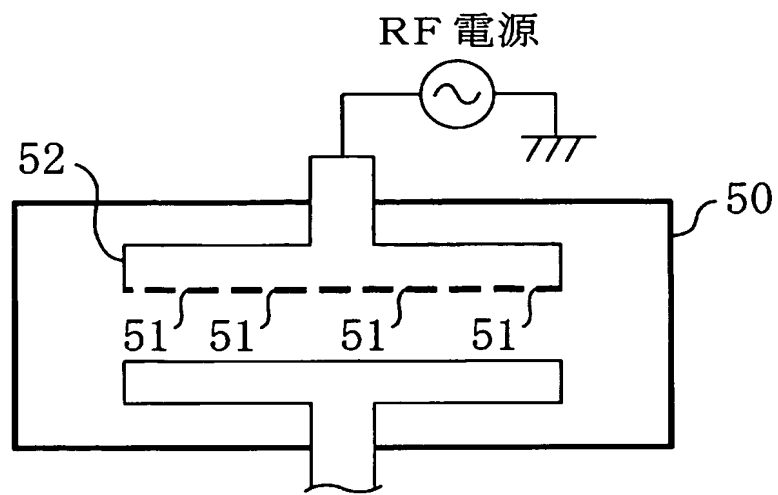
請求の範囲

- [1] 相対向するように配置されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置された少なくとも1層の半導体膜と、前記半導体膜に近接するように配置されたゲート電極と、前記ソース電極、前記ドレイン電極および前記半導体膜と前記ゲート電極との間に配置されたゲート絶縁膜とを備えたトランジスタであって、前記ゲート絶縁膜中に含まれる含有フッ素濃度が、 1×10^{20} atoms/cm³以下であることを特徴とするトランジスタ。
- [2] 請求項1に記載のトランジスタにおいて、前記含有フッ素濃度は、 1×10^{19} atoms/cm³以下であることを特徴とするトランジスタ。
- [3] 請求項1に記載のトランジスタにおいて、電界効果型であることを特徴とするトランジスタ。
- [4] 請求項1に記載のトランジスタにおいて、前記ゲート絶縁膜は、アモルファスシリコン窒化膜であることを特徴とするトランジスタ。
- [5] 請求項1に記載のトランジスタにおいて、前記ゲート絶縁膜は、CVD法により成膜されていることを特徴とするトランジスタ。
- [6] 請求項1に記載のトランジスタにおける前記ゲート絶縁膜の成膜に用いるCVD装置であって、複数のガス供給孔を有し、成膜室内に配置された電極を備え、前記電極の表面が、非多孔質層からなることを特徴とするCVD装置。
- [7] 請求項6に記載のCVD装置を用いて成膜されたゲート絶縁膜を備えていることを特徴とするトランジスタ。
- [8] 請求項1, 2, 3, 4, 5, 7のうちの何れか1項に記載のトランジスタを、画素電極部に対するスイッチング素子として備えていることを特徴とする液晶表示装置。

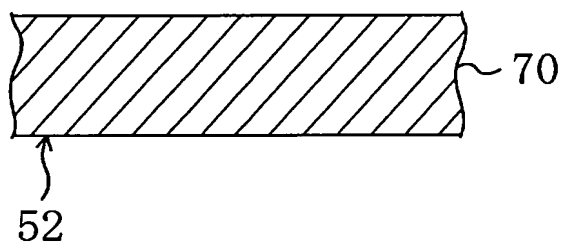
[図1]



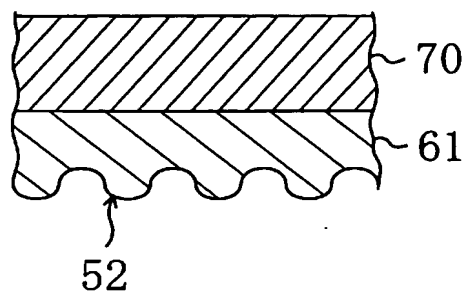
[図2]



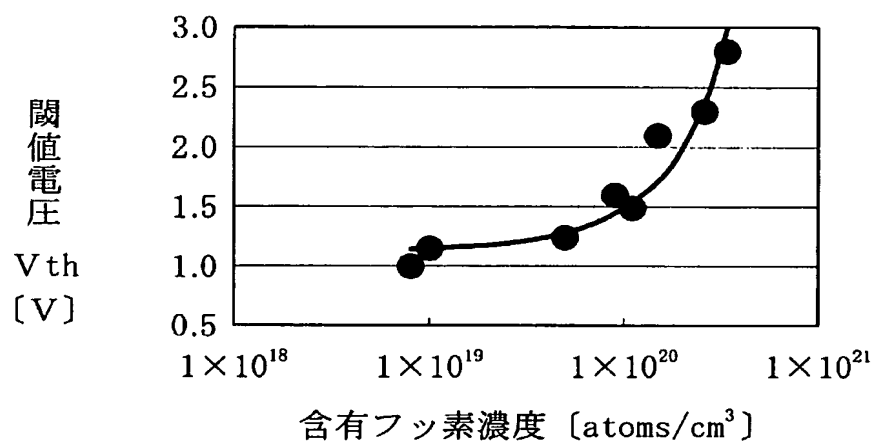
[図3]



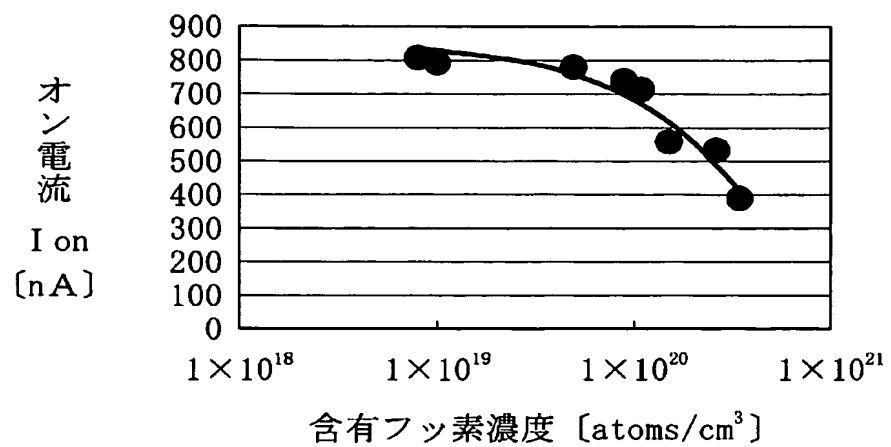
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018051

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/786, H01L21/336, H01L21/318

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, H01L21/336, H01L21/318

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-302591 A (Semiconductor Energy Laboratory Co., Ltd.), 28 October, 1994 (28.10.94), Full text; Figs. 1 to 4 & US 5837614 A	1-3, 5, 8 4, 6-7
Y	JP 61-056415 A (Fujitsu Ltd.), 22 March, 1986 (22.03.86), Full text; Figs. 1 to 2 (Family: none)	1-8
Y	JP 4-099282 A (Nippon Light Metal Co., Ltd.), 31 March, 1992 (31.03.92), Full text (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February, 2005 (22.02.05)

Date of mailing of the international search report
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018051

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-050998 A (NEC Kagoshima, Ltd.), 20 February, 1998 (20.02.98), Full text; Figs. 1 to 4 (Family: none)	4
Y	JP 09-289210 A (NEC Corp.), 04 November, 1997 (04.11.97), Full text; Figs. 1 to 5 (Family: none)	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L 29/786, H01L 21/336, H01L 21/318

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L 29/786, H01L 21/336, H01L 21/318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 6-302591 A (株式会社半導体エネルギー研究所) 1994. 10. 28, 全文, 第1-4図 &US 5837614 A	1-3, 5, 8 4, 6-7
Y	JP 61-056415 A (富士通株式会社) 1986. 03. 22, 全文, 第1-2図 (ファミリーなし)	1-8
Y	JP 4-099282 A (日本軽金属株式会社) 1992. 03. 31, 全文 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

22. 02. 2005

国際調査報告の発送日

08. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎 園子

4M

3123

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 10-050998 A (鹿児島日本電気株式会社) 1998. 02. 20, 全文, 第1-4図 (ファミリーなし)	4
Y	J P 09-289210 A (日本電気株式会社) 1997. 11. 04, 全文, 第1-5図 (ファミリーなし)	4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.